

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **63085852 A**

(43) Date of publication of application: 16.04.88

(51) Int. Cl.

G06F 13/40

(21) Application number: 61231461

(71) Applicant: NEC CORP

(22) Date of filing: 29.09.86

(72) Inventor: SATO FUMIHIKO

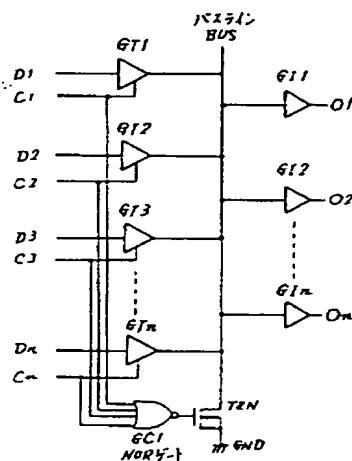
(54) BUS CIRCUIT

(57) Abstract:

PURPOSE: To evade the floating of a bus line and to obtain stable logical operation by connecting a transistor (TR) switch between a bus line and a power supply terminal and turning on the TR switch by an output of a logical circuit for detecting that all outputs of plural ternary circuits.

CONSTITUTION: The TR switch is connected between the bus line and the power supply terminal and controlled by a control signals of all the ternary circuits. Namely, when all control terminals C_1, WC_n are turned to '0', the outputs of all the ternary circuits are turned to high impedance, the bus line BUS is turned to a floating state and a NOR gate GC1 detects the floating state and turns an input to a TR TRN logic '1', so that an open-drain n-channel TR TRN is turned on and an earth level is applied to the bus line BUS through an ON resistor in the TRRN. Thereby, the open-drain TR TRN acts as a pull-down resistor and the floating of the bus line can be evaded.

COPYRIGHT: (C)1988,JPO&Japio



⑫ 公開特許公報 (A) 昭63-85852

⑬ I.R. Cl.
G 06 F 13/40識別記号
310府内整理番号
7737-5B

⑭ 公開 昭和63年(1988)4月16日

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 バス回路

⑯ 特願 昭61-231461

⑰ 出願 昭61(1986)9月29日

⑮ 発明者 佐藤文彦 東京都港区芝5丁目33番1号 日本電気株式会社内
 ⑯ 出願人 日本電気株式会社 東京都港区芝5丁目33番1号
 ⑰ 代理人 弁理士 内原晋

明細書

1. 発明の名称

バス回路

2. 特許請求の範囲

複数の3値回路の出力と受信用のゲートの入力が接続されたバスラインと電源端子との間にトランジスタスイッチが接続され、前記複数の3値回路の出力が全て高インピーダンス状態になったことを検出する論理回路の出力によって前記トランジスタスイッチをオンすることを特徴とするバス回路。

3. 発明の詳細な説明

〔発明上の利用分野〕

本発明は論理LSI内部におけるバス回路の構成に関するものである。

〔従来の技術〕

従来LSI内部におけるバス回路は第3図に示

すように3値回路GT₁～GT_nのゲート出力と受信用のゲートGI₁～GI_nの入力とにバスラインBUSが接続されている。各3値回路GT₁～GT_nの出力は制御信号C₁～C_nが論理“0”等の所定のレベルになると論理“1”でも“0”でもない高いインピーダンス状態となる。制御信号C₁～C_nが論理“1”になると各3値回路GT₁～GT_nは対応する入力データD₁～D_nをそのまま出力に出すか所定の論理に従った演算結果を出力に出す。

バス回路の使用規則としては1つの3値回路だけがデータ入力に応じた出力を出すように制御信号C₁～C_nで制御され、他の3値回路はその動作中の3値回路に影響しないように高インピーダンスの出力となっている。ところが各制御信号C₁～C_nのタイミング又は制御信号C₁～C_nの組合せにより上記使用規則が守られない場合がある。例えば全ての3値回路GT₁～GT_nが高インピーダンスになった場合バスラインBUSのデータが定まらなくなり、CMOS等では受信用ゲートC₁～C_nに中間のレベルが入り、電源(VDD)からグ

特開昭63-95852 (2)

ラウンド(GND)に向かって多大な電流が流れ信頼性上の問題、異常電流等によりLSIチップの故障、誤動作につながる可能性がある。そこですべての3値回路GT₁~GT_nの出力が高インピーダンスなまわしフローティングにならないよう剖御信号C₁~C_nの組み合せを制御する方法が考えられている。第4図にその方法を示す図面の記号は第3図と同じであるがバスラインBUSの高インピーダンス防止の為NORゲートGC₁及び3値回路GT_{n+1}が付加されている。剖御端子C₁~C_nが0になった時バスラインBUSは高インピーダンスになるがNORゲートGC₁がこれを検出し3値回路GT_{n+1}への剖御信号を論理“1”にすることにより3値回路GT_{n+1}の入力である接地電位GNDがバスラインBUSに与えられるようになり、バスラインBUSのフローティングの状態は避けられる。

〔発明が解決しようとする問題点〕

上述した従来のバスのフローティング防止回路は3値回路を使い更に入力を接地又は電源に接続

されなければならないため多くのトランジスタ(CMOSの場合にトランジスタ)及び配線が必要になるという欠点がある。

〔問題点を解決するための手段〕

本発明によれば複数の3値回路の出力と受信側の入力とが接続されるバスラインの電位を全ての3値回路の出力が高インピーダンス状態となつた時電源電位にするために、バスラインと電源電位の間にトランジスタスイッチを有し、このトランジスタスイッチを全ての3値回路の剖御信号で制御している。

〔実施例〕

1 第1図は本発明による実施例である。BUSはバスライン、GT₁~GT_nは3値回路、P₁~P_nはバスへの入力データ、C₁~C_nは各3値回路の剖御信号、GI₁~GI_nはバスのデータを受信する為のゲート、O₁~O_nは各受信用ゲートの出力、GC₁はNORゲート、TR_Nはオープンドレインのトランジスタである。本回路では剖御端子C₁~C_nが全て0になつた時バスラインBUSは全

フローティングとなるようにバスラインの電位を電位V_{DD}にする。

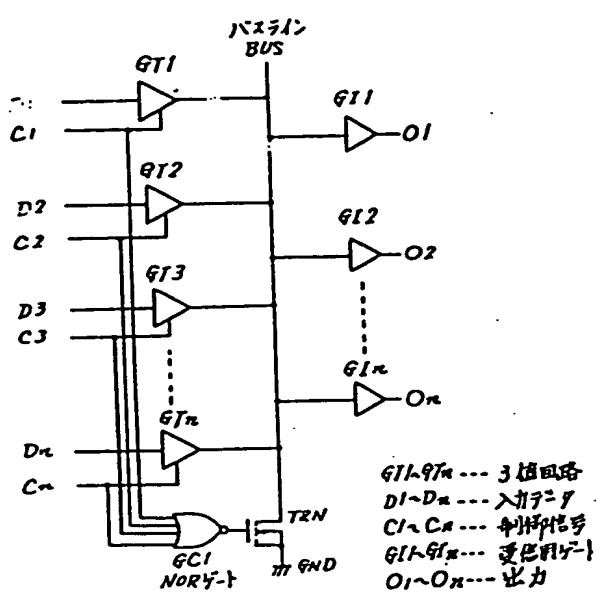
〔発明の効果〕

以上説明したように本発明はバスラインがフローティング時にオープンドレイントランジスタを導通させたブルアップ、ブルダウンの利用によりバスラインのフローティングを回避し安定した論理動作が得られる効果がある。

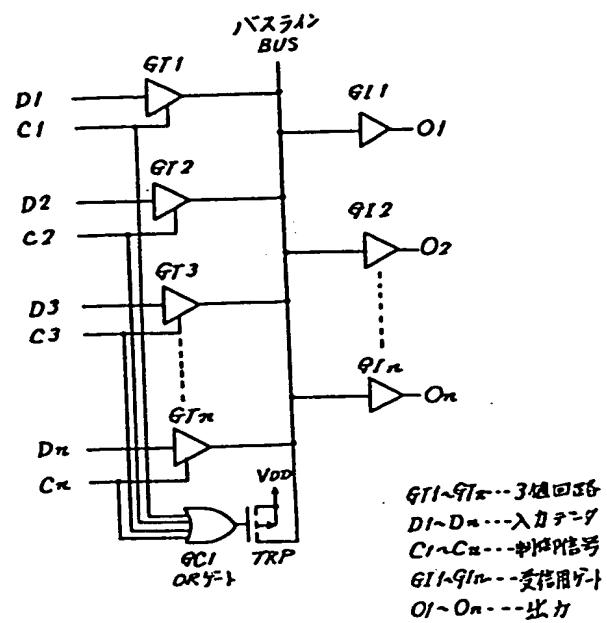
4 図面の簡単な説明

第1図、第2図はそれぞれ本発明による実施例を示すブロック図、第3図は従来のバス回路のブロック図、第4図は従来のフローティングを防止したバス回路のブロック図である。

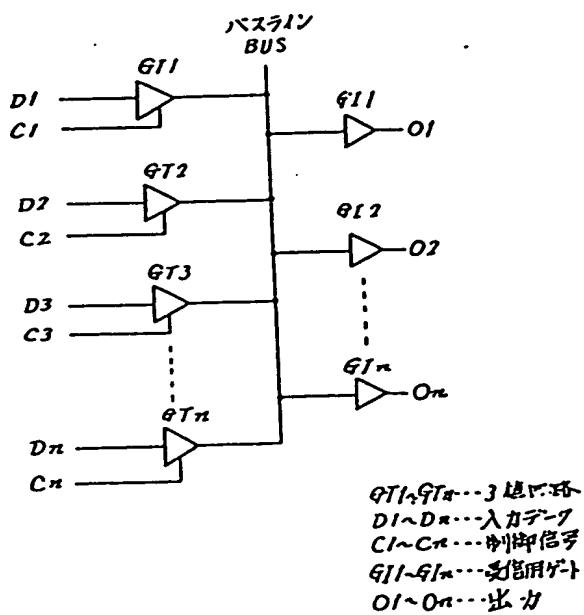
BUS……バスライン、GT₁~GT_n……3値回路、D₁~D_n……入力データ、C₁~C_n……剖御信号、GI₁~GI_n……受信用ゲート、O₁~O_n……各受信用ゲートの出力、GC₁……NORゲート、GC₂……ORゲート、TR_N……Nチャンネルトランジスタ、TR_P……Pチャンネルトランジスタ。



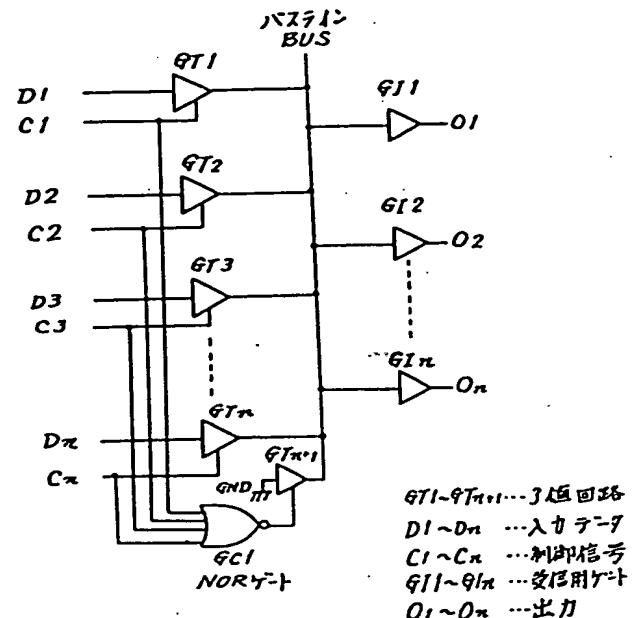
第 1 図



第 2 図



第 3 図



第 4 図